

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-17694

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/02 27/04 21/822	B			
		H 0 1 L 27/ 04	H B	
審査請求 未請求 請求項の数 5 F D (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平7-176864

(22) 出願日 平成7年(1995)6月21日

(31) 優先権主張番号 2 6 5 8 6 0

(32) 優先日 1994年6月27日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 シー・ウェイ・サン

アメリカ合衆国テキサス州オースチン、
ニック・ブルフ・ドライブ9281

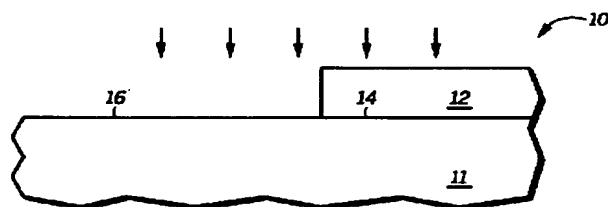
(74) 代理人 弁理士 本城 雅則 (外1名)

(54) 【発明の名称】 集積回路に適用するための薄膜およびバルク混合半導体基板ならびにその形成方法

(57) 【要約】

【目的】 薄膜SOI素子、およびフィールドESD保護素子または高電圧I/Oバッファ回路を、同一基板上に配置可能とした薄膜およびバルク混合半導体基板を提供する。

【構成】 集積回路用薄膜およびバルク混合半導体基板(10, 30)を、2つの異なる処理を用いて作成する。第1処理では、標準ウエハ(11)の周辺(14)に沿ってマスクを設ける。内部のマスクされていない部分(16)に絶縁種を注入し、埋め込み誘電体層(18)を形成し、混合薄膜およびバルク半導体基板を形成する。或いは、薄膜ウエハの内側部分(36)にマスクを設け、エッチングすることにより、下層のバルク基板(11')のウエハ周囲に沿った部分(40)を露出させる。次に、エピタキシャル層(50)を成長させて露出したバルク部分に積層し、混合基板を形成する。薄膜部分とバルク部分との境界に分離領域(24, 52, 46, 54)を形成する。



【特許請求の範囲】

【請求項 1】集積回路に適用するための薄膜およびバルクの混合基板（10）を形成する方法であって：半導体基板（11）と、該半導体基板の第 1 部分（14）上に位置する注入マスク（12）を用意する段階；前記半導体の第 2 部分（16）の表面下に、埋め込み誘電体層

（18）を形成する段階；前記半導体基板の第 2 部分内の埋め込み誘電体層と、前記半導体基板の第 1 部分との間の境界に、分離領域（24）を形成する段階；前記半導体基板の第 1 部分上に位置する第 1 素子（27）を形成する段階；および前記半導体基板の第 2 部分上に、

3. 3 ボルト未満の供給電圧を有する第 2 素子（28）を形成する段階；から成ることを特徴とする方法。

【請求項 2】集積回路に保護素子を形成する方法であって：第 1 薄膜半導体層（29）、該第 1 薄膜半導体層上に位置する第 1 埋め込み誘電体層（31）、および該第 1 埋め込み誘電体層上に位置する第 2 半導体層（11'）を有する基板（30）を用意する段階；前記第 1 薄膜半導体層（29）の第 1 部分（38）と、前記第 1 埋め込み誘電体層（31）の第 1 部分とを除去して、前記第 2 半導体層（11'）の露出部分（40）を形成し、前記第 1 薄膜半導体層の残りの部分（20'）および前記第 1 埋め込み誘電体層の残りの部分（18'）を残す段階；前記第 2 半導体層の露出部分、ならびに前記第 1 薄膜半導体層および前記第 1 埋め込み誘電体層の残りの部分上に位置する、第 2 誘電体層（42）を形成する段階；前記第 2 誘電体層の一部を除去し、前記第 1 薄膜半導体層および前記第 1 埋め込み誘電体層の残りの部分のエッジ（44）に、側壁スペーサ（46）を形成する段階；前記第 2 半導体層の露出部分上に選択的に第 3 半導体層（50）を成長させ、前記側壁スペーサによって、前記第 1 薄膜半導体層と前記第 1 埋め込み誘電体層の残りの部分とを、前記第 3 半導体層から分離させる段階；前記側壁スペーサに分離領域（52, 54）を形成する段階；および前記第 3 半導体層上に位置する保護素子（28'）を形成し、前記第 1 薄膜半導体層の前記残りの部分を用いて低電圧半導体素子を形成する段階；から成ることを特徴とする方法。

【請求項 3】集積回路に適用するための薄膜およびバルクの混合基板（30）であって：バルク半導体基板（11'）の第 1 部分上に位置する第 1 薄膜半導体層（20'）；前記第 1 薄膜半導体層の下で、かつ前記バルク半導体基板の第 1 部分の上に位置する埋め込み誘電体層（18'）；前記バルク半導体基板の第 2 部分上に位置する第 2 半導体層（50）；および前記第 1 薄膜半導体層および前記埋め込み誘電体層を、前記第 2 半導体層から分離するために、前記第 1 薄膜半導体層および前記埋め込み誘電体層双方のエッジ（44）に設けられた側壁スペーサ（46）であって、前記バルク半導体基板の第 3 部分上に位置する前記側壁スペーサ；から成ることを

特徴とする基板。

【請求項 4】集積回路に適用するための薄膜およびバルクの混合基板（30）であって：バルク半導体基板（11'）の第 1 部分上に位置する第 1 薄膜半導体層（20'）；前記第 1 薄膜半導体層の下で、かつ前記バルク半導体基板の第 1 部分の上に位置する埋め込み誘電体層（18'）；前記バルク半導体基板の第 2 部分上に位置する第 2 半導体層（50）；前記第 1 薄膜半導体層および前記埋め込み誘電体層を、前記第 2 半導体層から分離するために、前記第 1 薄膜半導体層および前記埋め込み誘電体層双方のエッジ（44）に設けられた側壁スペーサ（46）であって、前記バルク半導体基板の第 3 部分上に位置する前記側壁スペーサ；前記第 1 薄膜半導体層内において第 1 の厚さを有する第 1 分離領域（52）；および前記第 2 半導体層内において第 2 の厚さを有する第 2 分離領域（54）であって、前記第 2 の厚さは前記第 1 の厚さよりも厚い、前記第 2 分離領域（54）；から成ることを特徴とする基板。

【請求項 5】集積回路に適用するための薄膜およびバルクの混合基板（30）であって：バルク半導体基板（11'）の第 1 部分上に位置する第 1 薄膜半導体層（20'）；前記第 1 薄膜半導体層の下で、かつ前記バルク半導体基板の第 1 部分の上に位置する埋め込み誘電体層（18'）；前記バルク半導体基板の第 2 部分上に位置する第 2 半導体層（50）；前記第 1 薄膜半導体層および前記埋め込み誘電体層を、前記第 2 半導体層から分離するため、前記第 1 薄膜半導体層および前記埋め込み誘電体層双方のエッジ（44）に設けられた側壁スペーサ（46）であって、前記バルク半導体基板の第 3 部分上に位置する前記側壁スペーサ；前記第 1 薄膜半導体層上に位置し、3. 3 ボルト未満の供給電圧を有する内部 MOSFET（28）；および前記第 2 半導体層上に位置する厚いフィールド静電放電（ESD）保護素子（27）；から成ることを特徴とする基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般的に集積回路に関し、更に特定すれば、集積回路に適用するための薄膜およびバルク混合半導体基板 (mixed thin-film and bulk semiconductor substrate)、ならびにその形成方法に関するものである。

【0002】

【従来の技術】本願は、1994年3月4日出願されたShih-Wei Sunによる"Protection Device for an Integrated Circuit and Method of Formation"と題された米国特許出願第 08/205,477号、および1994年4月25日出願されたCraig S. Lageによる"Static Random-Access Memory Cell and Process for Forming the Memory Cell"と題された米国特許出願第08/232,968号に開示される材料に部分的に関連するものである。これら

両出願は本願と同じ譲受人に譲渡されている。

【0003】集積回路は、通常、保護素子を有し、入出力（I/O）パッドとその対応する内部回路との間に配置される。保護素子は、静電放電（ESD:electrostatic discharge）現象のように、高い遷移電圧がI/Oパッドに発生したときに、回路を損傷から保護するものである。15ナノメートルのゲート酸化物を用いた典型的なMOSトランジスタの降伏電圧は約15ボルトであるので、保護素子はMOS集積回路では特に重要である。したがって、MOSトランジスタが保護されないままであると、I/Oパッドに1000ボルトを越える電圧を発生する静電放電がMOSトランジスタを損傷することになる。一方、保護素子はこれら過大な電圧から内部MOS回路を遮蔽するので、集積回路を保護する。しかしながら、これまで、絶縁（SOI）ウエハの薄膜シリコン上に厚いフィールドESD保護素子を構成することは、フィールド酸化物（FOX）分離部がFOXの形成の間絶縁（SOI）層全体を消費するので不可能であった。

【0004】加えて、高電圧MOSFETのようなI/Oバッファ回路の熱発散（heat dissipation）は、埋め込み酸化物の熱伝導性が低いために、薄膜SOI材料にとって主要な障害として報告されている。バッファ回路は典型的に大きく、そのため多量の熱を発生する。したがって、熱発散が少ないことは、SOI技術において、重大な問題となる。加えて、薄膜SOI MOSFETは、ソースおよびドレイン電極間のバイポーラ・スナップバック電圧（bipolar-snapback voltage）が低いという欠点もある。

【0005】

【発明が解決しようとする課題】上述の問題は、事実上、バルク・シリコン上に構成された標準5ボルトまたは3.3ボルト素子よりも供給電圧（Vcc）が低い回路または素子に、SOIの用途を限定することになる。現在のSOI技術では、Vccが2ボルトより大きくなると、チャンネル領域に発生した電子-正孔対によってランナウェイ（runaway）の問題が生じ、単一トランジスタ・ラッチ（single-transistor latch）の原因となる。したがって、薄膜SOIウエハ上に3.3ボルトまたは5ボルト素子を集積することは、薄膜SOIウエハの降伏電圧が低いために、両立できなかった。

【0006】

【課題を解決するための手段】本発明の一実施例は、集積回路に適用するための薄膜およびバルク混合基板の形成方法を開示する。第1部分上に注入マスク（implant mask）が配された半導体基板を用意する。次に、埋め込み誘電体層を、半導体基板の上表面の下で、半導体基板のマスクされていない第2部分に形成する。こうして、薄膜およびバルク混合半導体基板が形成され、バルク部分が基板の第1部分に対応し、薄膜部分が基板の第2部分に対応する。半導体基板の第2部分内の埋め込み誘電体

層と半導体基板の第1部分との間の境界に分離領域を形成する。次に、第1素子を混合基板の第1部分上に形成し、供給電圧が3.3ボルトよりも低い第2素子を基板の第2部分上に形成する。

【0007】本発明の他の実施例は、集積回路に適用するための薄膜およびバルク混合基板を開示する。混合基板は、バルク半導体基板と、このバルク基板の第1部分上に設けられた第1薄膜半導体層とを有する。埋め込み誘電体層が第1薄膜半導体層の下で、かつバルク半導体基板の第1部分の上に位置する。第2半導体層が、バルク半導体基板の第2部分上に位置する。第1薄膜半導体層および埋め込み誘電体層双方のエッジに側壁スペーサを設け、第1薄膜半導体層と埋め込み誘電体層とを第2半導体層から分離する。この場合、側壁スペーサは、バルク半導体基板の第3部分の上に位置する。

【0008】これらのおよびその他の特徴、ならびに利点は、添付図面に関連付けられた以下の詳細な説明から、より明白に理解されよう。重要なこととして、図は必ずしも一定の比で描かれている訳ではなく、具体的には示していないがその他にも本発明の実施例が考えられることを指摘しておく。

【0009】

【実施例】図1～図4は、本発明の第1実施例による、薄膜技術と組み合わせて保護素子を形成する処理工程を断面図で示すものである。これらの図は多くの同一または実質的に同様の要素を示している。したがって、同一のまたは実質的に同様の要素には、同一参照番号を用いて表記することとする。図1では、バルク半導体基板11を含み、このバルク基板11の第1部分14上にマスク12を有する基板10が用意される。バルク半導体基板11は、典型的には、単結晶シリコンであるが、これに限定される訳ではない。マスク12は、基板11の第2部分16を露出されたまま残す。基板10に注入処理を施し、絶縁種（insulating species）のイオンをバルク基板11の露出部分16に注入する。注入は当技術では確立された処理である。注入には典型的に酸素イオンが用いられるが、窒素イオンまたはその他の絶縁種を注入に用いてもよい。マスク12は、フォトレジストまたはその他の硬質マスク（hard mask）のような注入マスクであり、バルク半導体基板11の被覆部分14が、注入処理の間影響を受けるのを防止する。注入処理の後、フォトレジスト・アッシュのような従来の処理を用いて、半導体基板11の表面からマスク12を除去する。

【0010】注入処理の結果、基板10には図2に示すような埋め込み誘電体層18が形成される。埋め込み誘電体層18の厚さは、2000ないし5000オングストロームの範囲であることが好ましい。酸素イオンを注入する場合、埋め込み誘電体層18は酸化物層となる。SOIという用語は、酸化物層18上に位置するシリコン薄膜20によってしかるべく得られた構造を記述する

ために用いられ、この薄膜 20 は 500 ないし 2000 オングストロームの範囲の厚さを有することが好ましい。窒素イオンを注入する場合、結果的に得られる埋め込み誘電体層 18 は、窒化物層として特徴付けられる。これも絶縁体である。図 2 からわかるように、得られた半導体基板 10 は、バルク基板部分 11 と薄膜部分 20 とで構成される。これは本発明を実施する際の重要な観点の 1 つである。

【0011】図 3 において、分離領域 22, 24, 26 を基板 10 に形成する。分離領域は、典型的に、フィールド酸化物 (FOX) であり、FOX の形成方法は当技術では公知である。基板 10 の薄膜部分 20 には分離領域 22 のみを形成し、一方基板のバルク・シリコン部分には分離領域 (厚いフィールド領域) 26 のみを形成する。また、埋め込み誘電体層 18 と基板 11 のバルク半導体との間の垂直境界領域に、分離領域 24 を形成する。この場合、分離領域 24 はその半分が薄膜層 20 と同じ厚さしかない一方、領域 24 の他の半分はより厚く、バルク基板を占める部分が多いので、二重フィールド酸化物 (dual field oxide) の分離領域に似ている。

【0012】一旦 SOI 部分 20 とバルク部分 11 とを有する基板 10 を形成したなら、基板のバルク部分 11 上の基板に、適当な保護素子を構成する。加えて、図 4 に示すように、内部 MOSFET 28 のような低電圧 SOI 回路を薄膜部分 20 上に構成することもできる。図 4 には MOSFET が示されているが、薄膜部分上にはいかなる低 V_{cc} 回路を形成してもよいことは理解されよう。また、図 4 には、厚いフィールド酸化物領域 26 とソース/ドレイン領域 25 とで構成されるパンチ・スルー保護素子 (punch through protection device) 27 が示されている。これらの領域は、MOSFET の製造時に同時に形成されるものであり、ドーパントを基板に注入してソース/ドレイン領域を形成する。基板 10 のバルク部分 11 は、ESD 用保護素子に限定される訳ではない。高電圧 I/O バッファ素子のようないかなる高 V_{cc} 素子でもバルク側に構成することができる。

【0013】図 5 ~ 図 12 は、本発明の第 2 実施例による、初期薄膜基板 (initial thin-film substrate) 30 を用いて、薄膜およびバルク混合半導体基板を形成する処理工程を示す断面図である。図 5 において、薄膜基板 30 は、薄膜半導体層 29、薄膜層 29 の下に位置する埋め込み誘電体層 31、および誘電体層 31 の下に位置するバルク半導体基板 11' で構成されている。バルク基板 11' および薄膜層 29 は、双方とも、シリコンのような半導体材料であるが、埋め込み誘電体層 31 は、酸化物または窒化物あるいはその他の絶縁性材料とすることができる。初期薄膜基板 30 として、酸素注入による標準分離 (standard separation by implantation of oxygen) (SIMOX) ウエハ、またはバウンド・アンド・エッチ・バック (bound and etch back) SOI (B

ESOI) ウエハを用いることができる。薄膜層 29 の上表面上に、誘電体層 32 を形成する。誘電体層 32 として用いられる可能性のある材料の例には、酸化シリコン、窒化シリコン、窒化硼素、および酸窒化物が含まれるが、これらに限定される訳ではない。誘電体層 32 の目的は、下層の薄膜層 29 を保護することであるが、これについては以下の説明でより明白となろう。基板 30 の第 1 部分 36 の上にマスク 34 を形成するが、基板 30 の第 2 部分は露出されたまま残す。基板 30 の第 1 部分 36 は、薄膜回路が後に構成される所望領域に対応する。

【0014】図 6 において、基板 30 の露出部分 38 をエッチングして、誘電体層 32、薄膜層 29、および埋め込み誘電体層 31 の一部を除去し、下に位置するバルク基板 11' の一部 40 を露出させると共に、誘電体層の残りの部分 (remaining portion) 32'、薄膜層の残りの部分 20'、および埋め込み誘電体層の残りの部分 18' を残す。エッチングは、下に位置するバルク基板 11' の上表面で停止するように制御されなければならないが、少量のオーバエッチングであれば許容できる。

【0015】次の工程では、図 7 に示すように、基板 30 の上表面上に、第 2 誘電体層 42 を形成し、第 1 誘電体層の残りの部分 32' およびバルク基板 11 の露出部分 40 を被覆する。第 2 誘電体層 42 は、従来の付着技術を用いて形成することができる。第 2 誘電体層の厚さは、500 ないし 4000 オングストロームの範囲とすることができ、好ましい範囲は 1000 ないし 3000 オングストロームである。図 8 に示すように、第 2 誘電体層 42 は側壁スペーサ 46 を形成するために用いられるので、残りの部分 32', 20', 18' のエッジ 44 で誘電体層 42 を十分厚くすることが非常に重要である。第 2 誘電体層 42 として用いられる可能性のある材料の例には、酸化シリコン、窒化シリコン、窒化硼素、および酸窒化物が含まれるが、これらに限定される訳ではない。第 1 誘電体層 32 は、第 2 誘電体層 42 を後に除去する際に、エッチ・ストップとして作用するので、第 2 誘電体層 42 に用いられる材料が、第 1 誘電体層 32 の材料と異なることが大切である。

【0016】反応性イオン・エッチング (RIE) 処理を用いて、第 2 誘電体層を除去する。この誘電体層の一部のみを残し、エッジ 44 に側壁スペーサ 46 を形成する。側壁スペーサは、第 2 誘電体層の厚さにもよるが、約 500 ないし 4000 オングストロームである。殆どの第 2 誘電体を除去することによって、バルク基板 11' の別の部分 48 が露出される。

【0017】図 9 は、本処理の次の工程を示し、バルク半導体 11' の露出部分 48 上に、半導体材料のエピタキシャル層 50 を成長即ち付着 (deposit) させる。下に位置する半導体基板 11' の結晶格子構造と同じものが、エピタキシャル層内にも形成されるので、事実上、

このエピタキシャル層はバルク材料の延長である。このエピタキシャル付着処理において、第1誘電体層32は、エピタキシャル・シリコンが薄膜層20'に付加されるのを防ぐバリアとしても機能する。

【0018】一旦エピタキシャル層50が十分な厚さ、即ちスペーサとほぼ同じ高さとなったなら、図10に示すように、次に誘電体層の残りの部分32'を除去する。この除去はエッチング処理によって行われる。誘電体部分32'を除去した後、平面化処理を行って基板30の上表面を平面化することが望ましい場合もある。上述の工程を実施することによって、バルク部分と薄膜部分の双方を有する混合基板を製造することができ、側壁スペーサ46が基板の2つの部分を分離する。

【0019】図11において、基板30に分離領域22', 26', 52, 54を形成する。ここでも、分離領域は典型的にフィールド酸化物である。薄膜部分20'には分離領域22'のみを形成し、基板のエピタキシイ部分50には分離領域26'のみを形成する。しかしながら、分離領域52, 54は側壁スペーサ46周囲に形成される。分離領域52をスペーサの薄膜側に形成し、一方分離領域54をスペーサのバルク材料側に形成する。側壁スペーサ46は誘電体材料であり、分離領域はフィールド酸化物であるので、得られる構造は、基板の薄膜部分とバルク基板との間の境界において、特に有効な分離構造となる。

【0020】図12に示すのは、本発明の第2実施例によって作られた基板の予想される使用法である。薄膜部分には、低V_{cc}内部MOSFETを構成することができる。一方、他の高V_{cc}MOSFET、または他のいずれかの高電圧素子は、バルク部分の上に構成することができる。或いは、バルク部分の上に、厚いフィールドESD保護素子を構成することもできる。本発明のこの実施例は、薄膜SOI素子および厚いフィールドESD保護素子双方の組み合わせを同一基板上に構成できるように混合基板を作るという点で、本発明の第1実施例と同じ利点を提供するものである。

【0021】本明細書に含まれる前述の説明および図示は、本発明に係わる利点の多くを表わすものである。具体的には、薄膜およびバルクが混合した半導体基板を製造し、薄膜SOI素子および厚いフィールドESD保護素子または高電圧I/Oバッファ回路の双方を、同一基板上に配置可能であることが明らかとなった。更に、SOI基板の代わりに、バルク・シリコン上にI/Oバッファ回路を構成可能とすることにより、シリコンは良好な熱伝導体であるので、これらI/Oバッファ回路によって発生される熱の熱放出が改善される。更に別の利点は、本発明は、3.3ボルトまたは5ボルト素子のためにバルク半導体部分を設けることによって、これらの素子を薄膜SOI技術と集積できるようにしたことである。

【0022】このように、本発明によって、集積回路に適用するための薄膜およびバルク混合半導体基板、および先に記載した必要性および利点を完全に満足する、この混成基板の形成方法が提供されたことは明白である。本発明はその具体的な実施例を参照して記載しかつ図示されたが、本発明はこれら図示した実施例に限定されることを意図するのではない。本発明の精神から逸脱することなく、変更や改造が可能であることを、当業者は認めよう。例えば、本発明は、薄膜およびバルク混合基板上に構成されるMOSFETおよびESD保護素子に限定される訳では決していない。逆に、異なる降伏電圧を有するいかなる集積回路を使用する場合でも、本発明の薄膜およびバルク混合半導体基板の適切な部分上に、それらを構成することができる。したがって、本発明は、特許請求の範囲に該当するかかる変更や改造全てを含むことを意図するものである。

【図面の簡単な説明】

【図1】本発明の第1実施例による薄膜およびバルク混合半導体基板を形成する処理工程を示す断面図。

【図2】本発明の第1実施例による薄膜およびバルク混合半導体基板を形成する処理工程を示す断面図。

【図3】本発明の第1実施例による薄膜およびバルク混合半導体基板を形成する処理工程を示す断面図。

【図4】本発明の第1実施例による薄膜およびバルク混合半導体基板を形成する処理工程を示す断面図。

【図5】本発明の第2実施例による薄膜およびバルク混合半導体基板を形成する処理工程を示す断面図。

【図6】本発明の第2実施例による薄膜およびバルク混合半導体基板を形成する処理工程を示す断面図。

【図7】本発明の第2実施例による薄膜およびバルク混合半導体基板を形成する処理工程を示す断面図。

【図8】本発明の第2実施例による薄膜およびバルク混合半導体基板を形成する処理工程を示す断面図。

【図9】本発明の第2実施例による薄膜およびバルク混合半導体基板を形成する処理工程を示す断面図。

【図10】本発明の第2実施例による薄膜およびバルク混合半導体基板を形成する処理工程を示す断面図。

【図11】本発明の第2実施例による薄膜およびバルク混合半導体基板を形成する処理工程を示す断面図。

【図12】本発明の第2実施例による薄膜およびバルク混合半導体基板を形成する処理工程を示す断面図。

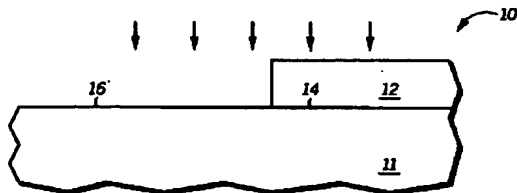
【符号の説明】

- 11, 11' バルク半導体基板
- 12 マスク
- 10 基板
- 18, 31 埋め込み誘電体層
- 20 シリコン薄膜
- 22, 24, 26 分離領域
- 28 MOSFET
- 26 フィールド酸化物領域

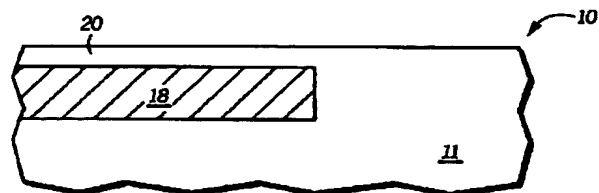
25 ソース/ドレイン領域
 27 パンチスルー保護素子
 30 薄膜基板
 29 薄膜半導体層
 32 誘電体層

34 マスク
 42 第2誘電体層
 46 側壁スペーサ
 50 エピタキシャル層
 52, 54 分離領域

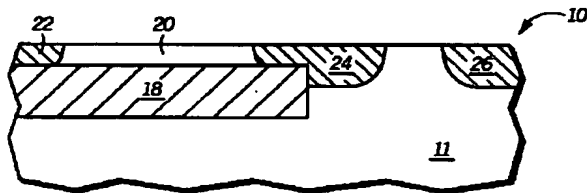
【図1】



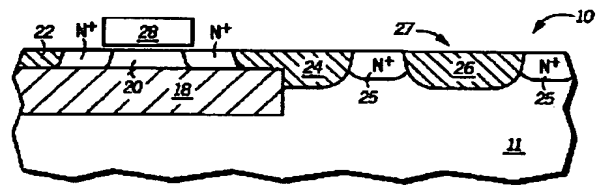
【図2】



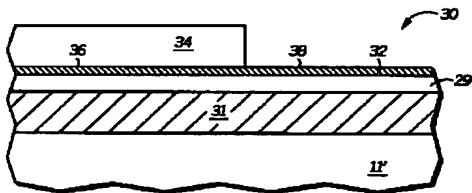
【図3】



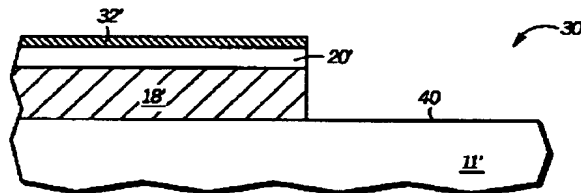
【図4】



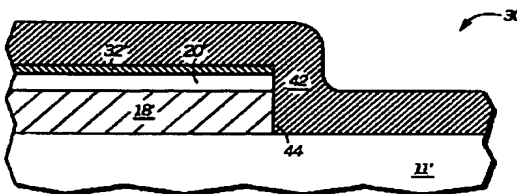
【図5】



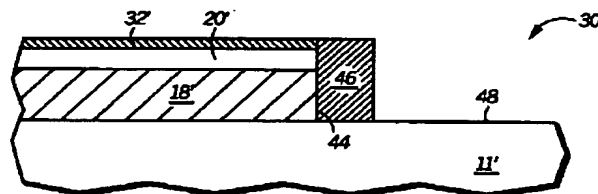
【図6】



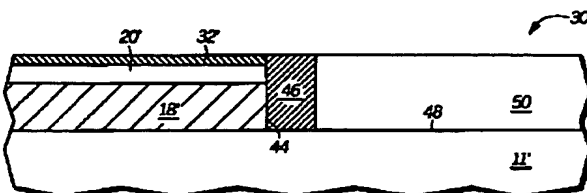
【図7】



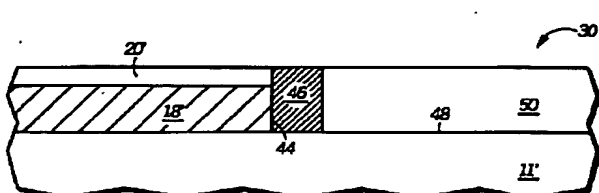
【図8】



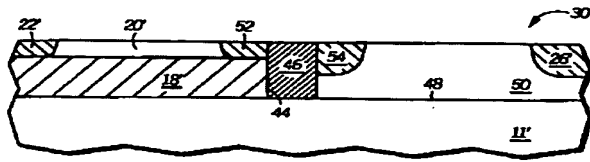
【図9】



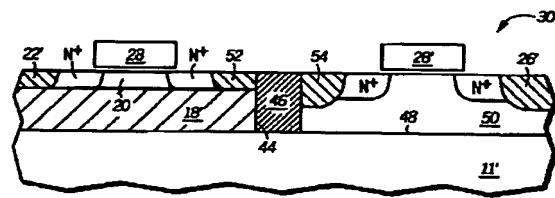
【図10】



【図 11】



【図 12】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 27/08

27/12

29/786

識別記号

3 3 1

E

D

F

庁内整理番号

9056-4M

F I

H 0 1 L 29/78

技術表示箇所

6 1 3 Z